

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

MANUFACTURE OF SEMICONDUCTOR DEVICE PACKAGE

Patent Number: JP59208756
Publication date: 1984-11-27
Inventor(s): AKIYAMA KATSUHIKO; others: 02
Applicant(s):: SONY KK
Requested Patent: ☐ JP59208756
Application Number: JP19830083188 19830512
Priority Number(s):
IPC Classification: H01L23/12 ; H01L21/56 ; H01L23/48
EC Classification:
Equivalents: JP1760995C, JP4047977B

Abstract

PURPOSE: To obtain a semiconductor device package which is excellent in heat radiation and suitable for automated manufacturing by a method wherein the semiconductor device is mounted on a substrate and, after being connected to external electrodes, enclosed integrally with resin and the substrate is selectively removed by etching.

CONSTITUTION: Au plating 12 of 1μm thickness, Ni plating 13 of 1μm thickness and Au plating 14 of 3μm are laminated on an Fe substrate 11 of 35μm thickness. A semiconductor chip 15 is mounted 16 on a portion 11g and connected 19 to external electrodes 17, 18 on the portions 11h, 11i. The transfer-molding with epoxy resin 20 is carried out so as to make thickness $t=1\text{mm}$. The Fe substrate is removed by etching with FeCl_3 solution from the back surface 11a to complete a leadless type package 21. Bottom surfaces of the Au layers are used as external electrodes 12b, 12c and the heat radiation surface 12a. In order to mount the package 21 on a printed circuit board, only the external electrodes 12b, 12c are directly soldered to a conductor pattern on the substrate. With this constitution, a package of excellent heat radiation can be manufactured automatically by an easy and simple method.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—208756

⑪ Int. Cl.³
H 01 L 23/12
21/56
23/48

識別記号

庁内整理番号
7357—5 F
7738—5 F
7357—5 F

⑬ 公開 昭和59年(1984)11月27日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ 半導体装置のパッケージの製造方法

⑮ 特 願 昭58—83188
⑯ 出 願 昭58(1983)5月12日
⑰ 発 明 者 秋山克彦
東京都品川区北品川6丁目7番
35号ソニー株式会社内
⑱ 発 明 者 小野鉄雄
東京都品川区北品川6丁目7番

35号ソニー株式会社内
⑲ 発 明 者 梶山雄次
東京都品川区北品川6丁目7番
35号ソニー株式会社内
⑳ 出 願 人 ソニー株式会社
東京都品川区北品川6丁目7番
35号
㉑ 代 理 人 弁理士 土屋勝 外2名

明 細 書

1. 発明の名称

半導体装置のパッケージの製造方法

2. 特許請求の範囲

選択エッチング可能な材料から成る基板上に半導体装置を配置し、接続用ワイヤを上記半導体装置に接続すると共にこの接続用ワイヤの外部電極部を上記基板の外部電極接続部位に接続し、次いで上記基板上において上記半導体装置及び上記接続用ワイヤを一体に樹脂モールドし、しかる後上記基板をエッチング除去することを特徴とする半導体装置のパッケージの製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は、半導体装置のパッケージの製造方法に関する。

背景技術とその問題点

従来、プリント基板上の実装密度の高いパッケージとして、チップキャリアタイプのパッケージが知られている。このパッケージはリードレス

タイプのパッケージで、パッケージの裏面に引き出されているハンダ付け可能な電極をプリント基板の導体パタンに直接ハンダ付けして接続することにより実装を行うものである。

このチップキャリアタイプパッケージには、セラミックタイプとプラスチックタイプとがある。セラミックタイプはパッケージ自体が高価であるばかりでなく、プリント基板に直接ハンダ付けすると、温度サイクル時にセラミックと上記ハンダ及び上記導体との間の熱膨張係数の差によつて接続部にはがれやクラックが生じる恐れがあるという欠点を有している。一方、プラスチックタイプはパッケージが安価であるという利点を有しているが、熱放散性が悪く、また形状がパッケージの製造の自動化に適していないという欠点を有している。

このような従来のプラスチックタイプのチップキャリアタイプパッケージの構造を第1図に示す。このパッケージ(1)は、耐腐蝕性の電極(2)が予め形成されているプリント基板(3)上に半導体装置を構成

するチップ(4)を載置し、ワイヤボンディング法により上記チップ(4)と上記電極(2)の一端とをAuの細線から成るワイヤ(5)で接続した後、上方より液状のエポキシ樹脂を滴下させて硬化成形することによつて作る。

このパッケージ(1)において、チップ(4)は樹脂層(6)とプリント基板(3)とによつて囲まれている。これらの樹脂層(6)及びプリント基板(3)の熱抵抗は共に大きいので、その動作時においてチップ(4)で発生する熱をパッケージ(1)の外部に効果的に放散することができない。即ち、このパッケージ(1)は放散性が悪いという欠点を有している。また上記の液状のエポキシ樹脂を滴下する際に、微量の樹脂を一定量、しかも高速で滴下することが難しく、このためにパッケージ(1)はパッケージの製造の自動化に適していないという欠点を有している。

一方、上述のチップキャリアタイプパッケージとは異なるパッケージにテープキャリアタイプパッケージがある。このタイプのパッケージは従来のチップキャリアタイプパッケージよりもさらに

ることができる。なお上記外部電極部は上記接続用ワイヤ自体が兼ねていてもよいし、上記接続用ワイヤとは別に設けられかつ上記接続用ワイヤが接続されているものでもよい。

実施例

以下本発明に係る半導体装置のパッケージの製造方法の実施例につき図面を参照しながら説明する。

第2A図～第2D図は本発明の第1実施例による半導体装置のパッケージの製造方法を説明するための工程図である。以下第2A図から工程順に説明する。

まず第2A図において、厚さ35(μ)のFe製の基板(1)の上に、厚さ1(μ)のAu層(2)、厚さ1(μ)のNi層(3)及び厚さ3(μ)のAu層(4)を順次メッキして、半導体装置を形成するチップ(4)の載置部(4a)及び外部電極部(4b)のそれぞれを上記基板(1)の所定のチップ載置部位(11g)及び外部電極接続部位(11h)(11i)のそれぞれに設ける。第2A図に示す工程終了後の上記基板(1)の平面図を第

3図に示す。次に第2B図において、上記チップ載置部(4a)にチップ(4)を載置した後、ワイヤボンディング法によつてこのチップ(4)と上記外部電極部(4b)とをそれぞれAuの細線から成るワイヤ(5)で接続する。次に第2C図において、第2B図の基板(1)の上に設けられた上記外部電極部(4b)、チップ載置部(4a)、チップ(4)及びワイヤ(5)を一体とするために、公知のトランスファ・モールド法(移送成形法)を用いて、エポキシから成る樹脂モールド層(6)を上記基板(1)上に形成する。なお本実施例においては、上記樹脂モールド層(6)の厚さtを1

(mm)とした。

次に第2D図において、Feのみを選択的にエッチングするが樹脂モールド層(6)及びAu層(2)はエッチングしないエッチング液、例えば塩化第二鉄(FeCl_2)溶液を用いて、基板(1)の裏面(11a)側からスプレーエッチングすることにより、上記基板(1)を除去して、第2D図に示すリードレスタイプのパッケージ(1)を完成させる。上記エッチングによつて露出されたAu層(2)の下面のうち外部

電極部100のAu層102の下面が外部電極面(12b)(12c)となり、またチップ載置部100のAu層102の下面が熱放散面(12a)となる。

上述のようにして完成されたパッケージ20をプリント基板上に実装する場合には、第2D図に示す上記外部電極面(12b)(12c)をプリント基板上の導体パタンに直接ハンダ付けして接続すればよい。

上述の第1実施例の熱放散面(12a)は、その動作時においてチップ100から発生する熱の放散面となつてゐる。金属の熱伝導度は非常に高いので、チップ100から発生する熱は金属製のチップ載置部100を外方に向かつて迅速に流れて、熱放散面(12a)から放散されることによつて効果的に除去される。しかし、より効果的にチップ100の発生熱を除去するためには、広い表面積を有する放熱フィンの一部を上記熱放散面(12a)に押し当てて空冷により熱を放散させるのが好ましい。

上述の第1実施例のパッケージ20は第2A図～第2D図に示すような簡単な工程によつて作ら

とができるばかりでなく、全ての製造工程に従来から用いられている装置を用いることができるので、テープキャリアタイプのパッケージにおいて必要な既述の特殊な装置が不要である。従つて、簡便かつ安価な方法によりパッケージ20を製造することができる。さらに上述の第1実施例では樹脂モールド層104を形成する方法としてトランスファ・モールド法(移送成形法)を用いている。この方法は信頼性の高い樹脂封止ができるばかりでなく、モールドの機械化、量産化が容易であるためにパッケージを自動的に製造できるという利点を有している。

なお上述の第1実施例において、第2A図に示す場合と同様にチップ載置部100及び外部電極部100を設けた後に、基板100の上面を既述の $FeCl_3$ 溶液を用いて僅かにエッチングすることにより、第4A図に示すようにチップ載置部100及び外部電極部100の下部の基板100にアンダーカット部(11a)～(11f)を形成し、次に第2B図～第2D図と同様な方法によつて第4B図に示すパッケージ20を

完成させることができる。このように上記のエッチングによつてチップ載置部100及び外部電極部100の下部に上記アンダーカット部(11a)～(11f)が形成されるので、これらの部分に樹脂が回り込んで突出部(20a)～(20f)が形成される。従つてこれらの突出部(20a)～(20f)によつて上記チップ載置部100及び上記外部電極部100が下方から保持される構造となるので、上記チップ載置部100及び上記外部電極部100がパッケージ20の使用時において樹脂モールド層104から抜け出てしまうのを防止することができるという利点がある。さらにチップ載置部100及び外部電極部100が樹脂モールド層104の下面から突出することなく形成されるので、これらのチップ載置部100及び外部電極部100を保護することができるという利点もある。

第5A図～第5C図は本発明の第2実施例による半導体装置のパッケージの製造方法を説明するための工程図である。以下第5A図から工程順に説明する。

まず第5A図において、厚さ35(μ)のCu

製の基板100の上面に公知のフォトリソストを塗布した後に所定のパターンニングを行う。次いでCuのみを選択的にエッチングするエッチング液、例えば既述の $FeCl_3$ 溶液を用いて上記基板100の表面を僅かにエッチングすることによつて、上記基板100の表面にチップ載置部位(11g)及び外部電極接続部位(11h)(11i)をそれぞれ形成する。上記フォトリソストを除去した後に第5B図において、第1実施例と同様に、上記チップ載置部位(11g)にハンダ層104を介してチップ100を載置した後、ワイヤボンディング法によつてこのチップ100と上記外部電極接続部位(11h)(11i)とをそれぞれAgの細線から成るワイヤ106で接続する。なお本実施例においては、後述の理由により、第1実施例で用いたワイヤよりも径の大きいワイヤを用いた。次に第1実施例と同様に樹脂モールド層104を上記基板100上に形成する。次に上記基板100を第1実施例と同様な方法でエッチング除去してパッケージ20を完成させる。上記エッチングにより露出されたワイヤ106の端部が外部電極部100となり、またハ

ンダ層40の下面が熱放散面(23a)となる。

上述のようにして完成されたパッケージ40をプリント基板上に実装する場合には、第1実施例と同様に、第5C図に示す上記外部電極部100をプリント基板上の導体パタンに直接ハンダ付けして接続すればよい。このことから明らかなように、本実施例においてはワイヤ40の端部をそのまま外部電極部100として用いるために、ワイヤ40の径を既述のように大きくするのが好ましい。なお熱放散面(23a)の機能は第1実施例と同様である。

上述の第2実施例のパッケージ40は、第1実施例のパッケージ40と異なつて、フォトリソスト工程及びエッチング工程によつて基板40に設けられた外部電極接続部位(11b)(11i)にワイヤ40を直接接続するようにしているので、第1実施例のパッケージ40におけるAu層400及びNi層40を形成する必要がない。上記のフォトリソスト工程及びエッチング工程は第1実施例のパッケージ40で用いたメッキ工程よりもさらに簡便である。またこれらのフォトリソスト工程及びエッチング工程

を用いることにより、Au等の貴金属を用いる必要がなくなるという利点がある。

上述の第1実施例及び第2実施例においては、1個のチップをチップ載置部に載置してこれを樹脂モールドする場合につき述べたが、基板上に多数のチップ載置部を設け、それぞれのチップ載置部に同一のチップを載置して、これらのチップを一体に樹脂モールドした後に切斷分離することにより、それぞれ1個のチップを有する同一のパッケージを多数個同時に作ることもできる。また種類のチップと、コンデンサや抵抗等の受動素子とを基板上に載置した後にこれらを一体に樹脂モールドすれば、種々の機能を有するパッケージを作ることができると共に、回路素子の集積度の高いパッケージを作ることができるといふ利点がある。

上述の第1実施例の基板の材料は選択エッチングが可能であればCu等の他の金属であつてもよく、また第2実施例の基板の材料もFe等の他の金属であつてもよい。第1実施例においてはさらに金属以外の材料、例えばポリイミドアミド系樹

脂を用いることも可能である。この場合には既述のエッチング液としては、ヒドラジンとエチレンジアミンとの混合液を用いればよい。

発明の効果

本発明に係る半導体装置のパッケージの製造方法によれば、その動作時において半導体装置から発生する熱の放散性が良好でありかつ信頼性が高い小形のパッケージを、極めて簡便かつ安価な方法によつて自動的に製造することができる。

4. 図面の簡単な説明

第1図は従来のプラスチックタイプのチップキャリアタイプパッケージの構造を示す断面図、第2A図～第2D図は本発明の第1実施例による半導体装置のパッケージの製造方法を説明するための工程図、第3図は上記第2A図に示す工程終了後の基板の平面図、第4A図及び第4B図は上記第1実施例の変形例を示す上記第2A図～第2D図と同様な図、第5A図～第5C図は本発明の第2実施例による半導体装置のパッケージの製造方法を説明するための工程図である。

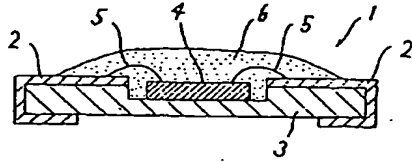
なお図面に用いた符号において、

(120)(220).....	パッケージ
(41).....	チップ
(5).....	ワイヤ
00.....	基板
(11b)(11i).....	外部電極接続部位
000.....	外部電極部
02.....	樹脂モールド層

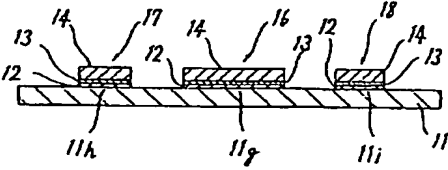
である。

代 理 人	土 屋 勝
・	常 包 芳 男
・	杉 浦 俊 貴

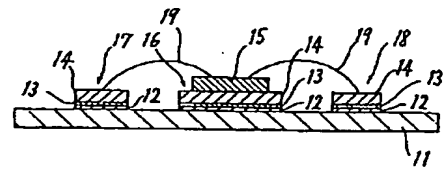
第 1 図



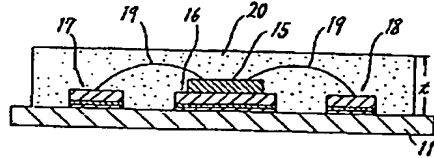
第 2 A 図



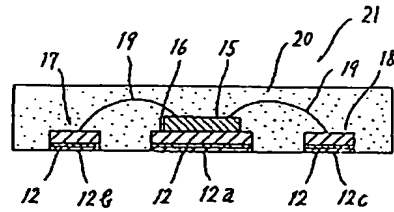
第 2 B 図



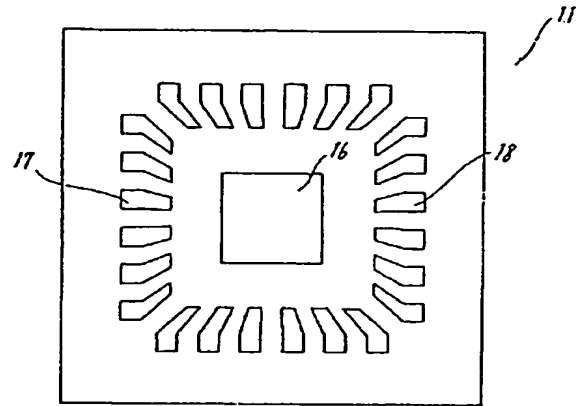
第 2 C 図



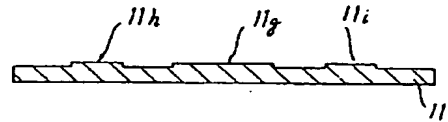
第 2 D 図



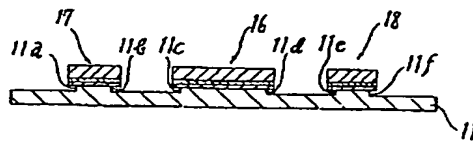
第 3 図



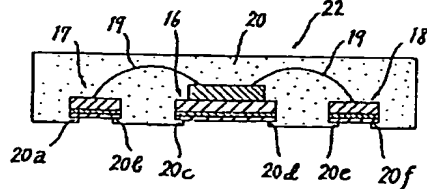
第 5 A 図



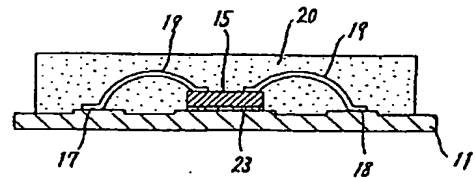
第 4 A 図



第 4 B 図



第 5 B 図



第 5 C 図

